

**ELECTRONIC DEVICE**

Patent Number: JP3228109  
Publication date: 1991-10-09  
Inventor(s): INOUCHI HIROYUKI  
Applicant(s): HITACHI LTD  
Requested Patent: ☐ JP3228109  
Application Number: JP19900023309 19900201  
Priority Number(s):  
IPC Classification: G06F1/08  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:** To enable low energy consumption driving together with a high-speed processing operation by providing a clock control circuit to switch a clock to a high frequency clock according to the detection signal of specified key pressure from a keyboard control part and to switch the clock to a low frequency clock according to a specified signal to be generated from a processing part.

**CONSTITUTION:** When an electronic device is composed of a clock generating circuit 1, 4-bit binary counter 2 and clock control circuit 3, a clock supplying circuit supplies the high frequency clock or the low frequency clock to a processing part 8. According to the detection signal of the specified key pressure from a keyboard control part 10, the clock control circuit 3 switches the clock, which is supplied to the processing part 8, to the high frequency clock and according to the specified signal to be generated from the processing part 8, the clock is switched to the low frequency clock. Thus, when a high-speed operation is required, the high frequency clock is supplied to the processing part so as to execute the high-speed operation, and in the other case, the low frequency clock is supplied so as to reduce energy consumption.

---

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-228109

⑤ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

④ 公開 平成3年(1991)10月9日

G 06 F 1/08

7459-5B

G 06 F 1/04

3 2 0 Z

審査請求 未請求 請求項の数 3 (全5頁)

⑭ 発明の名称 電子装置

⑯ 特 願 平2-23309

⑰ 出 願 平2(1990)2月1日

⑱ 発 明 者 猪 口 裕 之 神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川工場内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 秋田 収喜

明 細 書

1. 発明の名称

電子装置

2. 特許請求の範囲

1. 特定キー含むキーボードと、キーボード制御部と、クロックが供給され駆動される半導体集積回路装置からなる処理部とを備えた電子装置において、高周波数クロックおよび低周波数クロックを供給するクロック供給回路と、キーボード制御部からの特定キー押圧の検出信号により、高周波数クロックに切換え、処理部から発生される特定信号により、低周波数クロックに切換えるクロック制御回路とを備えることを特徴とする電子装置。

2. 特定キーは、処理部に対して処理実行を指示するキーであり、処理部から発生される特定信号は、処理部の処理終了時に発生される特定データ送出の検出信号であることを特徴とする請求項1に記載の電子装置。

3. 特定キー含むキーボードと、キーボード制御

部と、クロックが供給され駆動される半導体集積回路装置からなる処理部とを備えた電子装置において、制御信号により高周波数クロックおよび低周波数クロックを切換えて、処理部にクロックを供給するクロック供給回路と、キーボード制御部から処理部に処理実行が指示され、処理部が処理実行中のみ制御信号を発生し、処理部を高周波数クロックで駆動するクロック制御回路とを備えたこと特徴とする電子装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、電子装置に関し、特に、クロックが供給され駆動される半導体集積回路装置からなる処理部を備えた電子装置において、クロック供給の制御を適切に行い、高速処理動作と共に、低消費電力駆動を可能とした電子装置に関するものである。

(従来の技術)

従来、ワードプロセッサ、パーソナルコンピュータなど、クロックが供給されて駆動される半導

体集積回路装置からなる処理部を備えて構成される電子装置において、処理部の半導体集積回路装置に供給されるクロックの周波数は一定となっている。処理部の半導体集積回路装置は、供給されるクロック周波数が高いほど、高速処理動作が可能であるため、クロック周波数は半導体集積回路装置が形成される半導体デバイスの物理特性に応じて可能な高い周波数が用いられることが多い。最近では、16MHz～20MHzの高周波数のクロックが用いられるようになっている。

〔発明が解決しようとする課題〕

ところで、上述のようなクロックが供給されて駆動される半導体集積回路装置からなる処理部を備えて構成される電子装置においては、消費電力の点については配慮されておらず、高速処理動作のため、処理部の半導体集積回路装置(CPU, RAMなど)の最大動作クロック周波数にて動作させており、電子装置の全体としての消費電力が大きいという問題がある。

また、この種の電子装置は、最近においては、

回路とを備えることを特徴とする。

〔作用〕

前記手段によれば、電子装置において、クロック供給回路と、クロック制御回路とが備えられる。クロック供給回路は、半導体集積回路装置からなる処理部に対し、高周波数クロックまたは低周波数クロックを供給する。クロック制御回路は、キーボード制御部からの特定キー押圧の検出信号により、処理部に供給するクロックを高周波数クロックに切換え、処理部から発生される特定信号により、低周波数クロックに切換える。

このように、クロック供給回路とクロック制御回路とを備えることにより、処理部の半導体集積回路装置に対して、高速処理の必要時には、高周波数クロックを供給して、高速動作を行い、それ以外には、低周波数クロックを供給して、消費電力の低減を行う。

例えば、高周波数クロックとしては、半導体集積回路装置の最大動作クロック周波数のクロックを供給し、この高周波数のクロックを分周したク

ラップトップ型など、携帯型化、可搬型が指向されており、低消費電力化は大きな課題ともなっている。

本発明は、上記問題点を解決するためになされたものである。

本発明の目的は、クロックが供給され駆動される半導体集積回路装置からなる処理部を備えた電子装置において、クロック供給の制御を適切に行い、高速処理動作と共に、低消費電力駆動を可能とした電子装置を提供することにある。

〔課題を解決するための手段〕

上記目的を達成するため、本発明の電子装置は、特定キー含むキーボードと、キーボード制御部と、クロックが供給され駆動される半導体集積回路装置からなる処理部とを備えた電子装置において、高周波数クロックおよび低周波数クロックを供給するクロック供給回路と、キーボード制御部からの特定キー押圧の検出信号により、高周波数クロックに切換え、処理部から発生される特定信号により、低周波数クロックに切換えるクロック制御

回路を低周波数クロックとして供給する。クロック周波数の切換えは、キーボード制御部から特定キー(例えば実行キー)押圧の検出信号により、処理部の実行期間の判定を行って切換え、また、処理部から高速動作が必要でなくなった時(例えば処理終了時)に発生される特定信号により切換える。具体的には、キーボード制御部は、特定キーが押されるまでは制御信号出力をインアクティブとし、処理部(CPU等)が高速処理を必要とする処理実行中となると(特定キーが押されると)、アクティブとした制御信号を出力する。クロック制御回路は、キーボード制御部の制御信号を監視しており、インアクティブ時は低周波数クロックを出力し、アクティブになると高周波数クロックを出力する。処理部での処理が終了すると、再び低周波数クロックに戻すために、処理の終了時に処理部がキーボード制御部を制御して制御信号をインアクティブとし、クロック制御回路の出力を再び低周波数クロックとする。

このように、処理部の高速処理の必要時以外は

低周波数クロックを供給するので低消費電力が図れる。

#### 〔実施例〕

以下、本発明の一実施例を図面を用いて具体的に説明する。

第1図は、本発明の一実施例にかかる電子装置の要部の構成を示すブロック図である。第1図において、1は半導体集積回路装置の最大動作クロック周波数の高周波数クロック（高速クロック $\phi$ ）を発生するクロック発生回路、2は4ビットバイナリカウンタである。この4ビットバイナリカウンタ2のCLK端子に高速クロック $\phi$ を入力し、4分周したクロックを低周波数クロック（低速クロック $\phi_a$ ）として出力する。例えば、クロック発生回路1として、高速クロック $\phi$ および低速クロック $\phi_a$ の双方の発生可能なクロック発生回路を用いる場合には、この4ビットバイナリカウンタ2は設けらなくてもよい。

また、3はクロック制御回路である。クロック制御回路3は、アンド回路4、インバータ回路5、

をローレベルとする。

次に、このように構成された電子装置のクロック供給の動作について説明する。

電子装置の利用者が、通常、キーボード操作をしている時は、キーボード制御部10の出力信号Aはローレベルとなっている。この場合には、クロック制御回路3では、アンド回路4の側における論理（ $\overline{A} \cdot \phi_a$ ）が選択され、クロック信号 $\phi$ として、低速クロック $\phi_a$ が出力される。キーボードからのデータ入力終了すると、次に、処理の実行を指示するため、利用者がキーボードの特定キー（実行キー）を押圧する。特定キーが押圧されると、キーボード制御部2は、これを検出して出力信号Aをハイレベルにする。これにより、クロック制御回路3では、アンド回路6の側における論理（ $A \cdot \phi$ ）が選択され、高速クロック $\phi$ がクロック信号 $\phi$ として出力される。このようなクロック制御回路3から出力されるクロック信号 $\phi$ は、CPU8はクロック供給端子CLKに供給され、また、システムクロックバス14に送出さ

アンド回路6、およびオア回路7の論理回路から構成される。8は半導体集積回路装置（LSI）のマイクロプロセッサ（以下CPUと略称する）であり、9は画像処理用LSIおよび高速データ入出力処理などを行う周辺LSIからなる制御処理部である。10はキーボード制御部であり、図示しないが、キーボードを走査してキーの押圧信号を検出し入力データを処理部（CPU8、制御処理部9）に供給する制御を行う。キーボード制御部10は特定キー（実行キー）が押圧された場合、これを検出してキーボード制御部10からの出力信号Aをハイレベルとする。11はセレクト回路、12はデータバス、13はアドレスバス、14はシステムクロックバスである。セレクト回路11は、アドレスバス13およびデータバス12を介して送出された特定データを検出して、キーボード制御部10に検出信号Bを供給する。ここでの特定データは処理部での処理終了時に、例えばCPU8から送出されるデータである。キーボード制御部10は、セレクト回路11から検出信号Bを受けると出力信号A

れて、システムクロックバス14を介して制御処理部9に供給される。このため、CPU8および制御処理部9は、処理実行の開始と同時に高速クロック $\phi$ が供給されて動作するので、高速に処理動作が実行される。CPU8および制御処理部9において処理が終了すると、CPU8はアドレスバス13およびデータバス12を介して、セレクト回路11を選択するアドレスおよび特定データを送出する。この特定データの送出が行なわれると、セレクト回路11は、この特定データの送出を検出して、検出信号Bを出力する。セレクト回路11の検出信号Bは、キーボード制御部10に送出され、キーボード制御部10は出力信号Aをローレベルとする。これにより、CPU8および制御処理部9に供給されるクロック信号 $\phi$ は低速クロック $\phi_a$ に戻される。

このように、利用者がキーボード操作している時は、CPU8および制御処理部9を含む処理部が低速クロックで動作し、アイドル動作などを行っているが、実行キーが押圧されて、処理部が実

實的に処理を行う場合には、供給されるクロックが高速クロックに切り換えられて、処理部が高速に処理を行う。処理部において、処理が終了すると、再び低速クロックに切換えるべく、CPU8がセレクト回路11を選択するためのアドレスおよび特定データを、それぞれアドレスバス13、データバス12に出力する。このアドレスおよび特定データの送出により、セレクト回路11は当該特定データを取り込み、検出信号Bを出力する。そして、この検出信号Bは、キーボード制御部10に入力され、キーボード制御部10が出力信号Aをローレベルにする。これにより、CPU8および制御処理部9を含む処理部に対する供給クロックは、低速クロックに戻る。

第2図は、第1図の電子装置の各部の信号波形の一例を示すタイミングチャートである。第2図のタイミングチャートにおいて、期間t<sub>a</sub>はキーボード操作中の期間である。期間t<sub>a</sub>においては、CPU8および制御処理部9を含む処理部に供給されるクロック信号φ<sub>h</sub>は、低速クロックφ<sub>l</sub>である。

ステップ33からの高速データ処理が開始される。この高速データ処理によりステップ34での処理実行が行なわれる。ステップ34の処理実行では、必要に応じて、浮動小数点演算用のコプロセッサLSI、画像処理用LSI、周辺LSIなどの制御処理部9において、浮動小数点演算処理、画像処理、高速データ入出力処理などの一連の高速処理が行なわれる。これらの処理が終了すると、処理の制御をCPUの側に戻し、処理終了時にステップ35において、セレクト回路の選択アドレスおよび特定データの送出を行う。ステップ35の処理により、セレクト回路の選択アドレスおよび特定データが、アドレスバスおよびデータバスに送出されると、セレクト回路がこれを検出し、検出信号Bを送出し、キーボード制御部の出力信号Aによりクロック制御回路を制御して、供給するクロック信号を低速クロックに切換えるので、以降は、ステップ36からの低速データ処理の開始となる。そして、このような低速データ処理により、再び、ステップ31におけるキーボード操作

る。次の期間t<sub>b</sub>は実行キーが押されて、供給するクロック信号φ<sub>h</sub>が高速クロックφ<sub>h</sub>とされて、CPU8および制御処理部9の処理部が高速処理する期間である。また、期間t<sub>c</sub>は、処理部の処理が終了し、再び供給するクロック信号φ<sub>h</sub>を低速クロックとされた期間である。このように処理部に供給されるクロック信号φ<sub>h</sub>は、処理部の状態に応じて、適切に高速クロックおよび低速クロックを切換えられる。

第3図は、CPUおよび制御処理部を含む処理部における処理フローの概略を示すフローチャートである。

第3図を参照して説明すると、まず、CPU8の側の処理においては、低速クロックの駆動により処理が行なわれ、ステップ31において、キーボード操作によるキー入力処理が行なわれる。ステップ31のキー入力処理が終了し、次に、ステップ32で、例えば実行キーなどの特定キー信号が入力されると、クロック制御回路により供給されるクロックが高速クロックに切換えられ、ステ

ップ33からの高速データ処理が行なわれる。このような一連の処理が行なわれ、電子装置における処理が続行される。

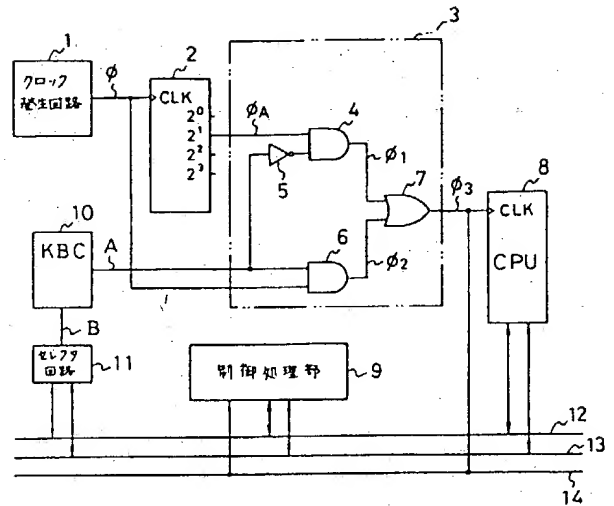
このように、本実施例によれば、クロック制御回路が設けられ、キー・ボード操作時には、低周波数クロックを供給して消費電力を低減化し、実行キーが押圧されて処理実行の指示がなされ、CPUおよび制御処理部が高速処理を必要とする時のみに、最大動作クロック周波数を供給して、高速に処理動作を行うようにする。これにより、クロックが供給され駆動される半導体集積回路装置からなる処理部を備えた電子装置において、クロック供給の制御を適切に行い、高速処理動作と共に、低消費電力駆動が可能となる。

以上、本発明を実施例にもとづき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

〔発明の効果〕

以上、説明したように、本発明によれば、実行

第1図



キーのような特定キーの押圧により、CPUを含む処理部を高速に動作させる必要がある以外は、低周波数クロックにて低速動作させるので、電子装置は高速処理動作を行うと共に、低消費電力化できる効果がある。

#### 4. 図面の簡単な説明

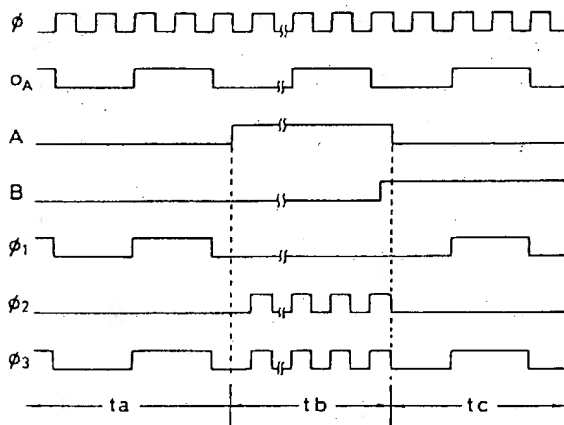
第1図は、本発明の一実施例にかかる電子装置の要部の構成を示すブロック図、

第2図は、第1図の電子装置の各部の信号波形の一例を示すタイミングチャート、

第3図は、CPUおよび制御処理部を含む処理部における処理フローの概略を示すフローチャートである。

図中、1…クロック発生回路、2…4ビットバイナリカウンタ、3…クロック制御回路、4、6…アンド回路、5…インバータ回路、7…オア回路、8…マイクロプロセッサ(CPU)、9…制御処理部、10…キーボード制御部、11…セレクタ回路、12…データバス、13…アドレスバス、14…システムクロックバス。

第2図



第3図

